

DRIVING METHOD AND DRIVING DEVICE OF PLASMA DISPLAY PANEL

Publication number: JP2004151348

Publication date: 2004-05-27

Inventor: KUNII YASUHIKO; SASAKI TAKASHI

Applicant: FUJITSU HITACHI PLASMA DISPLAY

Classification:

- international: **H04N5/66; G09G3/20; G09G3/28; G09G3/288; G09G5/00; H04N5/66; G09G3/20; G09G3/28; G09G5/00; (IPC1-7): G09G3/288; G09G3/20; G09G3/28; H04N5/66**

- European: G09G3/28T; G09G3/288C6E

Application number: JP20020316156 20021030

Priority number(s): JP20020316156 20021030

Also published as:

EP1416465 (A2)
US6853358 (B2)
US2004085305 (A)
KR20040038605 (A)

Report a data error here

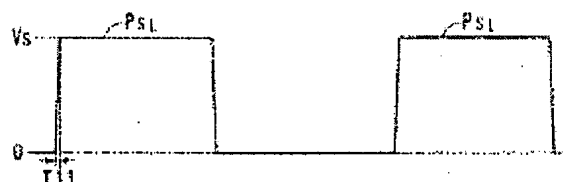
Abstract of JP2004151348

PROBLEM TO BE SOLVED: To reduce useless power consumption and to prolong the service life of cells by reducing impacts which degrade the cells.

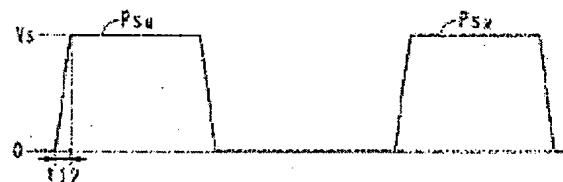
SOLUTION: A lighting ratio which is the ratio of the number of the cells to be lighted to the total number of the cells is detected on the basis of display data determining the contents of addressing. In accordance with the detected lighting ratio, a waveform of a voltage pulse that is applied in a sustaining step for displaying the pertinent display data is changed so that a gradient of voltage change at a leading edge becomes smaller for a large value of the lighting ratio than for a small value of the same. COPYRIGHT: (C)2004,JPO

サステインパルス波の切換えの態様

(A) 点灯率が10～40%のときの波形



(B) 点灯率が41～60%のときの波形



(C) 点灯率が61～100%のときの波形



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-151348

(P2004-151348A)

(43) 公開日 平成16年5月27日(2004.5.27)

(51) Int. Cl.⁷

G09G 3/288
G09G 3/20
G09G 3/28
H04N 5/66

F I

G09G 3/28 B
G09G 3/20 611A
G09G 3/20 612U
G09G 3/20 624M
G09G 3/20 641E

テーマコード (参考)

5C058
5C080

審査請求 未請求 請求項の数 4 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2002-316156 (P2002-316156)
(22) 出願日 平成14年10月30日 (2002.10.30)

(71) 出願人 599132708
富士通日立プラズマディスプレイ株式会社
神奈川県川崎市高津区坂戸3丁目2番1号
(74) 代理人 100086933
弁理士 久保 幸雄
(72) 発明者 園井 康彦
神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会
社内
(72) 発明者 佐々木 孝
神奈川県川崎市高津区坂戸3丁目2番1号
富士通日立プラズマディスプレイ株式会
社内
Fターム(参考) 5C058 AA11 BA01 BA07 BA26 BB03

最終頁に続く

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法および駆動装置

(57) 【要約】

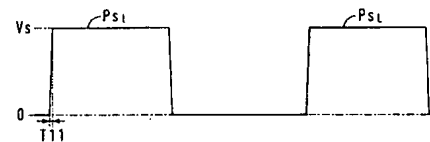
【課題】無駄な電力消費を低減するとともに、セルを劣化させる放電衝撃を低減してセルの長寿命化を図る。

【解決手段】アドレッシングの内容を決める表示データに基づいて、セルの総数に対する点灯すべきセルの数の割合である点灯率を検出し、検出した点灯率に応じて、該当する表示データを表示するサステインにおいて印加する電圧パルスの波形を、当該点灯率が大きいたときは小さいときよりも前縁の電圧推移を緩やかにするように変更する。

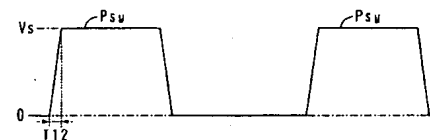
【選択図】 図6

サステインパルス波形の切換えの第1例

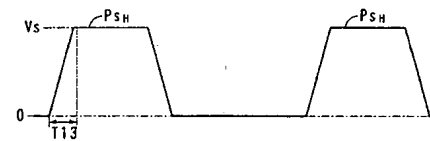
(A) 点灯率が0~40%のときの波形



(B) 点灯率が41~60%のときの波形



(C) 点灯率が61~100%のときの波形



【特許請求の範囲】

【請求項1】

表示面を構成するセルのうちの表示データが示す点灯すべきセルに壁電圧を生じさせるアドレッシングを行い、その後全てのセルに一斉に電圧パルス列を印加して前記点灯すべきセルで表示すべき明るさに応じた回数の表示放電を起こすサステインを行うフラズマディスプレイパネルの駆動方法であって、

アドレッシングの内容を決める表示データに基づいて、セルの総数に対する点灯すべきセルの数の割合である点灯率を検出し、

検出した点灯率に応じて、該当する表示データを表示するサステインにおいて印加する電圧パルスの波形を、当該点灯率が大きいときは小さいときよりも前縁の電圧推移を緩やかにするように変更する

10

ことを特徴とするフラズマディスプレイパネルの駆動方法。

【請求項2】

表示面を構成するセルのうちの表示データが示す点灯すべきセルに壁電圧を生じさせるアドレッシングを行い、その後全てのセルに一斉に電圧パルス列を印加して前記点灯すべきセルで表示すべき明るさに応じた回数の表示放電を起こすサステインを行うフラズマディスプレイパネルの駆動方法であって、

前記電圧パルス列の各電圧パルスの波形を、前縁において電圧が段階的に推移する階段状とし、

アドレッシングの内容を決める表示データに基づいて、セルの総数に対する点灯すべきセルの数の割合である点灯率を検出し、

20

検出した点灯率に応じて、該当する表示データを表示するサステインにおいて印加する電圧パルスの前縁における電圧推移の時間を、当該点灯率が大きいときは小さいときよりも長くするように変更する

ことを特徴とするフラズマディスプレイパネルの駆動方法。

【請求項3】

表示面を構成するセルのうちの表示データが示す点灯すべきセルに壁電圧を生じさせるアドレッシングを行い、その後全てのセルに一斉に電圧パルス列を印加して前記点灯すべきセルで表示すべき明るさに応じた回数の表示放電を起こすサステインを行うフラズマディスプレイパネルの駆動装置であって、

30

アドレッシングの内容を決める表示データに基づいて、セルの総数に対する点灯すべきセルの数の割合である点灯率を検出する点灯率検出回路と、

検出された点灯率に応じて、該当する表示データを表示するサステインにおいて印加する電圧パルスの波形を、当該点灯率が大きいときは小さいときよりも前縁の電圧推移を緩やかにするように変更するコントローラとを有した

ことを特徴とするフラズマディスプレイパネルの駆動装置。

【請求項4】

表示面を構成するセルのうちの表示データが示す点灯すべきセルに壁電圧を生じさせるアドレッシングを行い、その後全てのセルに電圧パルス列を印加して前記点灯すべきセルで表示すべき明るさに応じた回数の表示放電を起こすサステインを行うフラズマディスプレイパネルの駆動装置であって、

40

アドレッシングの内容を決める表示データに基づいて、前記表示面を区画した複数のブロックごとに、各ブロックのセルの総数に対する点灯すべきセルの数の割合である点灯率を検出する点灯率検出回路と、

検出された各ブロックの点灯率に応じて、該当する表示データを表示するサステインにおいて各ブロックのセルに印加する電圧パルスの波形を、当該点灯率が大きいときは小さいときよりも前縁の電圧推移を緩やかにするように変更するコントローラとを有した

ことを特徴とするフラズマディスプレイパネルの駆動装置。

【発明の詳細な説明】

【0001】

50

【発明の属する技術分野】

本発明は、プラズマディスプレイパネル（Plasma Display Panel：PDP）の駆動方法に関する。

【0002】

PDPを備えた大画面テレビジョン受像機が普及しつつある。画面（表示面ともいう）の解像度の増大にともなって、PDPを用いた表示装置における電源回路の負担が大きくなっており、その対策が求められている。

【0003】

【従来の技術】

カラー表示に発光色の異なる3種の蛍光体をもつAC型のPDPが用いられている。AC型では、セルの発光量を決める表示放電を起こすための表示電極が誘電体で被覆されており、誘電体の帯電により生じる壁電圧が表示に利用される。画面内のセルのうち、表示放電を起こすべきセルの壁電圧を他のセル壁電圧（通常は0）より高くしておき、その後どのセルにも同様に振幅が放電開始電圧よりも低いサステインパルス列を印加する。サステインパルスの振幅と壁電圧との和が放電開始電圧を超えると表示放電が起きる。そのとき、放電ガスが放つ紫外線によってセル内の蛍光体が励起されて発光する。表示放電による発光を“点灯”という。サステインパルスの印加周期は数マイクロ秒程度であり、視覚的には発光は連続する。

【0004】

駆動装置によるサステインパルス列の印加は、画面内のセルのそれぞれの壁電圧を表示データに対応させるライン順次のアドレッシングの後に、全セルに対して一斉に行われる。一般的なサステインパルスの波形は単純矩形である。サステインパルスの印加に呼応して、点灯すべき全てのセルでほぼ一斉に表示放電が起こる。そのとき、駆動装置の電源回路からプラズマディスプレイパネルへ放電電流が一時期に集中的に流れる。この放電電流の集中は、サステインパルスの振幅の降下、すなわち電圧ドロップを生じさせ、表示の乱れを引き起こす。電圧ドロップを起こさないような大電流の出力が可能な電源回路は高価であり、それを駆動装置に組み入れるのは現実的ではない。

【0005】

放電電流の集中を緩和する駆動方法が特開2001-34227号公報によって開示されている。その方法は、サステインパルスの波形を、前縁の電圧推移が緩やかな台形状にするものである。セル間には放電開始電圧の若干のばらつきがあり、放電の比較的起こりやすいセルと起こりにくいセルとが存在する。サステインパルスの印加に呼応して、先に放電開始電圧の低いセルで表示放電が起こり、その後放電開始電圧の高いセルで起こる。サステインパルスの前縁の電圧推移を緩やかにすることによって、電圧推移が急峻である場合と比べて放電開始電圧の高いセルにおける表示放電の起こる時期がより遅くなる。つまり、画面全体において表示放電の開始時期が分散するので、放電電流の集中が緩和される。また、特開2000-206928号公報には、サステインパルスの波形を前縁の電圧推移が2段階ある階段状にすることによって、放電開始時期を分散させることが記載されている。特開平6-4039号公報には、画面を複数のブロックに区画し、ブロック単位でサステインパルスの印加時期をずらすことによって電流の集中を緩和する回路構成が記載されている。

【0006】

【特許文献1】

特開2001-34227号公報

【0007】

【特許文献2】

特開2000-206928号公報

【0008】

【特許文献3】

特開平6-4039号公報

10

20

30

40

50

【0009】

【発明が解決しようとする課題】

従来の駆動方法には、点灯すべきセルが少ないときに無駄に電力を消費して発光効率が下がるという問題、および点灯すべきセルが少ないときに点灯すべきセルが多いときよりも蛍光体および誘電体の受ける放電衝撃が大きいという問題があった。上述のように表示放電の開始時期を分散させると、放電電流のピーク値（最大瞬時値）は小さくなる。しかし、点灯すべきセルが多いときには点灯すべきセルが少ないときと比べて放電電流のピーク値が大きい。そして、電圧ドロップは流れる電流が大きいほど顕著である。したがって、駆動条件の設計において、電圧ドロップが生じて表示放電が起こるように、点灯すべきセルが多いときの電圧ドロップの量を見込んで、サステインパルスの振幅を決める必要がある。このように点灯すべきセルが多いときの駆動を基準にサステインパルスの振幅を決めると、点灯すべきセルが少ないときに必要以上に高い電圧がセルに加わり、過大な表示放電が起こって発光効率が低下するとともに、セルが過剰の放電衝撃を受ける。本発明は、無駄な電力消費を低減するとともに、セルを劣化させる放電衝撃を低減してセルの長寿命化を図ることを目的としている。

【0010】

【課題を解決するための手段】

本発明においては、アドレッシングの内容を決める表示データに基づいて、セルの総数に対する点灯すべきセルの数の割合である点灯率を検出し、検出した点灯率に応じて、該当する表示データを表示するサステインにおいて印加する電圧パルスの波形を、当該点灯率
20
が大きいときは小さいときよりも前縁の電圧推移を緩やかにするように変更する。前縁の緩やかな電圧パルスを印加することによって、セル間の放電特性のばらつきを利用して複数のセルにおける表示放電を時間的に分散させる。表示放電の分散は、放電電流の集中を緩和し、放電電流のピーク値を下げる。さらに、点灯率が大きいほど電圧パルスの前縁をより緩やかにすることによって、点灯率が大きいときの放電電流のピーク値と点灯率が小さいときの放電電流のピーク値とを同程度の値にする。このピーク値の均等化は、点灯率の変化に伴う電源出力の電圧ドロップ量の変化を小さくする。すなわち、点灯率に係らず電源出力の電圧ドロップ量はほぼ一定になる。したがって、点灯率が小さいときに点灯率が大きいときと同じ振幅の電圧パルスをセルに印加しても、過大な表示放電は生じない。
30
なお、パルス波形の変更は、点灯率を複数の範囲に区分して区分ごとに異なる設定をする段階的な変更でもよいし、点灯率の値ごとに異なる設定をする連続的な変更でもよい。また、表示面を複数のブロックに区画してブロックごとにパルス印加を制御する回路構成を採用する場合には、ブロックごとにパルス波形を変更してもよい。

【0011】

【発明の実施の形態】

図1は本発明に係る表示装置の構成図である。表示装置100は、カラー表示面を有した面放電AC型のPDP1と、セルの発光を制御するドライブユニット70とから構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。

【0012】

PDP1では、表示放電を生じさせるための電極対を構成する表示電極Xと表示電極Yが互いに平行に配置され、これら表示電極X、Yと交差するようにアドレス電極Aが配列されている。表示電極X、Yは画面の行方向（水平方向）に延び、アドレス電極は列方向（垂直方向）に延びている。

【0013】

ドライブユニット70は、コントローラ71、データ変換回路72、電源回路73、状態検出回路74、Xドライバ75、Yドライバ76、およびAドライバ77を有している。ドライブユニット70にはTVチューナ、コンピュータなどの外部装置からR、G、Bの3色の輝度レベルを示すフレームデータDfが各種の同期信号とともに入力される。フレームデータDfはデータ変換回路72の中のフレームメモリに一時的に記憶される。デー
50

タ変換回路72は、フレームデータDfを階調表示のためのサブフレームデータDSfに変換してドライバ77へ送る。サブフレームデータDSfは1セル当たり1ビットの表示データの集合であって、その各ビットの値は該当する1つのサブフレームにおけるセルの発光の要否、厳密にはアドレス放電の要否を示す。ドライバ77は、サブフレームデータDSfに従って、アドレス放電を起こすべきセルを通るアドレス電極Aにアドレスパルス印加する。なお、電極へのパルスの印加とは、電極を一時的に所定電位にバイアスすることを意味する。コントローラ71は、パルス印加およびサブフレームデータDSfの転送を制御する。電源回路73は、各ドライバへPDP1の駆動に必要な電力を供給する。

【0014】

状態検出回路74は、フレームごとに“表示負荷率”を検出するとともに、サブフレームごとに本発明に特有の“点灯率”を検出する。表示負荷率は、電力消費の指標であり、1フレームにおけるセルの階調値を G_i ($0 \leq G_i \leq G_{max}$)としたときの比率 G_i / G_{max} の全放電セルにわたる平均値として定義される。この表示負荷率は、明るい画像を表示するときにサステインパルスの印加を少なくして消費電力および発熱を抑える自動電力制御(Auto Power Control: APC)に用いられる。これに対して点灯率は、サブフレームにおける点灯すべきセル数 k のセル総数 K に対する割合(例えば百分率とすれば点灯率 $= k / K \times 100$)であり、サステインにおける電圧ドロップの指標である。状態検出回路74はサブフレームデータDSfに基づいて点灯すべきセルを示すビットをカウントすることによって点灯率を検出し、検出した点灯率をコントローラ71に通知する。点灯率は、サステインパルスの波形の設定変更に応用される。

【0015】

図2はXドライバおよびYドライバの概略構成図である。Xドライバ75は、表示電極Xに壁電荷の初期化のためのパルス印加するリセット回路81、アドレッシングにおいて表示電極Xの電位を制御するためのバイアス回路82、および表示電極Xにサステインパルス印加するサステイン回路83からなる。Yドライバ76は、表示電極Yに壁電荷の初期化のためのパルス印加するリセット回路85、アドレッシングにおいて表示電極Yにスキャンパルス印加するスキャン回路86、および表示電極Yにサステインパルス印加するサステイン回路87からなる。

【0016】

図3はPDPのセル構造の一例を示す図である。図3ではPDP1のうち、1画素の表示に関わる3つのセルに対応した部分を、内部構造がよくわかるように一對の基板構体10、20を分離させて描いてある。PDP1は一對の基板構体10、20からなる。基板構体とは、ガラス基板上に電極その他の構成要素を設けた構造体を意味する。PDP1では、前面側のガラス基板11の内面に表示電極X、Y、誘電体層17および保護膜18が設けられ、背面側のガラス基板21の内面にアドレス電極A、絶縁層24、隔壁29、および蛍光体層28R、28G、28Bが設けられている。表示電極X、Yは、それぞれが面放電ギャップを形成する透明導電膜41とバス導体としての金属膜42とから構成されている。隔壁29はアドレス電極配列の電極間隙ごとに1つつ設けられており、これらの隔壁29によって放電空間が行方向に列毎に区画されている。放電空間のうちの各列に対応した列空間31は全ての行に跨って連続している。蛍光体層28R、28G、28Bは放電ガスが放つ紫外線によって局部的に励起されて発光する。図中の斜体アルファベットR、G、Bは蛍光体の発光色を示す。

【0017】

以上の表示装置100におけるPDP1の駆動シーケンスの概略は次のとおりである。PDP1による表示では、2値の点灯制御によってカラー再現を行うために、図4の入力画像である時系列のフレームFを所定数 Q のサブフレームSFに分割する。つまり、各フレームFを Q 個のサブフレームSFの集合に置き換える。これらサブフレームSFに順に例えば 2^0 、 2^1 、 2^2 、 2^{Q-1} の重みを付与して各サブフレームSFの表示放電の回数を決める。図7ではサブフレーム配列が重みの順であるが、他の順序であ

ってもよい。このようなフレーム構成に合わせてフレーム転送周期であるフレーム期間 T_f を q 個のサブフレーム期間 T_{sf} に分割し、各サブフレーム S_F に1つのサブフレーム期間 T_{sf} を割り当てる。さらに、サブフレーム期間 T_{sf} を、壁電荷の初期化のためのリセット期間 T_R 、アドレッシングのためのアドレス期間 T_A 、および点灯維持のための表示期間 T_S に分ける。リセット期間 T_R およびアドレス期間 T_A の長さが重みに係わらず一定であるのに対し、表示期間 T_S の長さは重みが大きいほど長い。したがって、サブフレーム期間 T_{sf} の長さも、それに該当するサブフレーム S_F の重みが大きいほど長い。 q 個のサブフレーム S_F においてリセット期間 T_R ・アドレス期間 T_A ・表示期間 T_S の順序は共通である。サブフレームごとに壁電荷の初期化、アドレッシング、および点灯維持が行われる。

10

【0018】

図5は駆動電圧波形の概略図である。図において表示電極 Y の参照符号の添字 $(1, n)$ は対応する行の配列順位を示す。なお、図示の波形は一例であり、振幅・極性・タイミングを種々変更することができる。

【0019】

各サブフレームのリセット期間 T_R においては、全てのセルの表示電極間に漸増電圧が加わるように、全ての表示電極 X に対して負極性および正極性のランフ波形パルスを順に印加し、全ての表示電極 Y に対して正極性および負極性のランフ波形パルスを順に印加する。これらランフ波形パルスの振幅は微小放電が生じるような十分に小さい変化率で漸増する。セルには、表示電極 X 、 Y に印加されるパルスの振幅を加算した合成電圧が加わる。1回目の漸増電圧の印加で生じる微小放電は、前サブフレームにおける点灯／非点灯に係わらず全てのセルに同一極性の適当な壁電圧を生じさせる。2回目の漸増電圧の印加で生じる微小放電は、壁電圧を放電開始電圧と印加電圧の振幅との差に相当する値に調整する。

20

【0020】

アドレス期間 T_A においては、点灯すべきセルのみに点灯維持に必要な壁電荷を形成する。全ての表示電極 X および全ての表示電極 Y を所定電位にバイアスした状態で、行選択期間（1行分のスキャン時間）ごとに選択行に対応した1つの表示電極 Y にスキャンパルス P_n を印加する。この行選択と同時にアドレス放電を生じさせるべき選択セルに対応したアドレス電極 A のみにアドレスパルス P_a を印加する。つまり、選択行の m 列分のサブフレームデータ D_{sf} に基づいてアドレス電極 A の電位を2値制御する。選択セルでは表示電極 Y とアドレス電極 A との間の放電が生じ、それがトリガとなって表示電極間の面放電が生じる。これら一連の放電がアドレス放電である。

30

【0021】

表示期間 T_S においては、サステインパルス P_S を表示電極 Y と表示電極 X とに交互に印加する。これにより、表示電極間には交互に極性の入れ替わるサステインパルス列が加わる。サステインパルス P_S の印加によって、所定の壁電荷が残存するセルで面放電が生じる。サステインパルスの印加回数は上述したとおりサブフレームの重みに対応する。なお、例示のように表示期間 T_S にわたってアドレス電極 A をサステインパルス P_S と同極性にバイアスすることによって、不要の放電を防止してもよい。

40

【0022】

以上の駆動シーケンスのうち、本発明に深く係わるのは表示期間 T_S におけるサステインパルス P_S の印加である。そして、重要なことは、サステインパルス P_S の波形が固定ではなく、点灯率に応じて変更されることである。

【0023】

図6はサステインパルス波形の切換えの第1例を示す。例示では点灯率が、0～40%、41～60%、および61～100%の3つの範囲に区分され、区分ごとにサステインパルス P_{SL} 、 P_{SM} 、 P_{SH} の波形が決められている。これらサステインパルス P_{SL} 、 P_{SM} 、 P_{SH} の間では、前縁の電圧推移に緩やかさの度合い、すなわち電圧上昇期間 T_{11} 、 T_{12} 、 T_{13} の長さが異なる。長さの関係は $T_{11} < T_{12}$

50

<T13である。振幅（パルスベース電位とバイアス電位との差） V_S はサステインパルス P_{SL} 、 P_{SM} 、 P_{SH} に共通である。点灯率が0～40%のときに適用されるサステインパルス P_{SL} の波形は矩形であり、その前縁は急峻である。点灯率が41～60%のときに適用されるサステインパルス P_{SM} の波形は前縁が若干緩やかな台形状である。そして、点灯率が61～100%のときに適用されるサステインパルス P_{SH}

の波形は前縁が緩やかな台形状である。つまり、点灯率が大きいときは小さいときよりも前縁の電圧推移がより緩やかな波形が適用される。

【0024】

図7は第1例のサステインパルス波形の切換えの効果を示す。ここでは便宜的にセルを3個の群に分ける。セル群1のセルでは比較的放電が生じやすく、セル群2のセルではセル群1のセルと比べて放電が生じにくく、さらにセル群3のセルではセル群3のセルと比べて放電が生じにくいものとする。例えば、点灯率が20%のときには、サステインパルス P_{SL} の印加に呼応して、セル群1、セル群2、およびセル群3の間で若干の差異はあるものの、ほぼ同時に点灯すべきセルで表示放電が生じ、放電電流が一時期に集中的に流れる。しかし、点灯すべきセルが少ないので、放電電流のピーク値は過大ではない。また、点灯率が80%のときには、サステインパルス P_{SH} の印加に呼応して、セル群1、セル群2、およびセル群3の順に点灯すべきセルで表示放電が生じる。点灯すべきセルが多いので、放電電流の積分値は大きい。しかし、表示放電が時間的に分散するので、この場合にも放電電流のピーク値は過大ではない。図中に鎖線を示すとおり、仮にサステインパルス P_{SH} に代えてサステインパルス P_{SL} を印加したとすると、放電電流のピーク値は過大となる。

【0025】

次にサステインパルス波形の切換えを実現するための回路構成を、表示電極Xに対するサステインパルスの印加に注目して説明する。表示電極Yに対するサステインパルスの印加は、表示電極Xに対するサステインパルスの印加と同様であるので、その説明は省略する。

【0026】

図8はサステイン回路の構成図である。サステイン回路83は、振幅 V_S のパルスを入力する機能をもつフッシュアップ構成のスイッチング回路であり、表示電極間の静電容量の充電に費やした電荷を再利用するための電力回収回路833を含む。並列接続された3個の電界効果トランジスタ Q_{11} 、 Q_{12} 、 Q_{13} のいずれかがON状態のとき、電位 V_S の電源端子と表示電極Xとが逆流防止ダイオードD1を介して導通する。電界効果トランジスタ Q_{11} 、 Q_{12} 、 Q_{13} は、表示電極Xを電位 V_S にバイアスするフルアップスイッチである。電界効果トランジスタ Q_{20} がON状態のとき、接地端子と表示電極Xとが逆流防止ダイオードD2を介して導通する。電界効果トランジスタ Q_{20} は、表示電極Xの電位をパルスベース電位に戻すフルダウンスイッチである。電界効果トランジスタ Q_{11} 、 Q_{12} 、 Q_{13} 、 Q_{20} の動作は、コントローラ71からの制御信号 S_{Q11} 、 S_{Q12} 、 S_{Q13} 、 S_{Q20} に従う。制御信号 S_{Q11} 、 S_{Q12} 、 S_{Q13} 、 S_{Q20} は、ゲートドライバを介して電界効果トランジスタ Q_{11} 、 Q_{12} 、 Q_{13} 、 Q_{20} に伝達される。

【0027】

図9はサステインパルス波形の切換えの制御を示すタイムチャートである。図のとおり、点灯率が0～40%のときにはサステインパルス P_{SL} の印加において、3個の電界効果トランジスタ Q_{11} 、 Q_{12} 、 Q_{13} がONにされる。これに対して、点灯率が41～60%のときにはサステインパルス P_{SM} の印加において2個の電界効果トランジスタ Q_{11} 、 Q_{12} がONにされ、点灯率が61～100%のときにはサステインパルス P_{SH} の印加において1個の電界効果トランジスタ Q_{11} のみがONにされる。ONになるトランジスタの数が少ないほど、電源端子と表示電極Xとを結ぶ通電路のインピーダンスが大きいので、表示電極間の静電容量へ流れる電流が小さい。電流が小さいほど、印加電圧の上昇は緩慢である。

10

20

30

40

50

【0028】

なお、パルスの前縁の電圧推移を切り換える他の方法として、フルアップスイッチを短い周期で断続的にONにし、その周期を変更する方法がある。さらに、コンデンサまたは抵抗とトランジスタとからなるインピーダンスの異なる開閉可能な複数の通電路をフルアップスイッチと表示電極Xとの間に並列に挿入し、選択的に通電路を開ける方法もある。

【0029】

図10はサステインパルス波形の切換えの第2例を示す。第2例においても点灯率が、0～40%、41～60%、および61～100%の3つの範囲に区分され、区分ごとにサステインパルス PS_L 、 PS_M 、 PS_H の波形が決められている。サステインパルス PS_L 、 PS_M 、 PS_H の波形は、前縁において電圧が段階的に推移する階段状である。これらサステインパルス PS_L 、 PS_M 、 PS_H の間では、前縁の電圧推移の途中で電位 $V_{S'}$ ($V_{S'} < V_S$)のバイアスを保持する中間電位保持期間 T_{21} 、 T_{22} 、 T_{23} の長さが異なる。長さの関係は $T_{21} < T_{22} < T_{23}$ である。振幅 V_S はサステインパルス PS_L 、 PS_M 、 PS_H に共通であるので、中間電位保持期間 T_{21} 、 T_{22} 、 T_{23} が長いほど必然的に電圧推移期間も長く、前縁の電圧推移が緩やかである。つまり、第2例においても図6の第1例と同様に、点灯率が大きいときは小さいときよりも前縁の電圧推移がより緩やかな波形が適用される。

【0030】

階段状波形の生成および期間 T_{21} 、 T_{22} 、 T_{23} の長さの切換えは、2個の電源およびそれらと表示電極との導通を制御するスイッチング回路によって実現することができる。まず、電位 $V_{S'}$ の電源端子と表示電極とを導通させてパルス印加を開始し、その導通状態を期間 T_{21} 、 T_{22} 、 T_{23} が経過するまで保持する。次に、電位 V_S の電源端子と表示電極とを導通させる。その後、接地端子と表示電極とを導通させてパルス印加を終了する。

【0031】

図11は第2例のサステインパルス波形の切換えの効果を示す。第2例においても第1例と同様の効果が得られる。例えば、点灯率が20%のときには、サステインパルス PS_L の印加に呼応して、セル群1、セル群2、およびセル群3の間で若干の差異はあるものの、ほぼ同時に点灯すべきセルで表示放電が生じ、放電電流が一時期に集中的に流れる。しかし、点灯すべきセルが少ないので、放電電流のピーク値は過大ではない。また、点灯率が80%のときには、サステインパルス PS_H の印加に呼応して、セル群1、セル群2、およびセル群3の順に各群に属する点灯すべきセルで表示放電が生じる。点灯すべきセルが多いので、放電電流の積分値は大きい。しかし、表示放電が時間的に分散するので、この場合にも放電電流のピーク値は過大ではない。図中に鎖線で示すとおり、仮にサステインパルス PS_H に代えてサステインパルス PS_L を印加したとすると、放電電流のピーク値は過大となる。

【0032】

以上の実施形態において、表示放電に伴う維持電圧のドロップを検出し、許容下限より下がらないように振幅 V_S を調整する機能を組み入れることができる。階段状波形の段階的な電圧推移は2段階に限らず、3段階以上であってもよい。電圧推移が3段階以上の場合、途中の2以上の段階の長さを調整して放電時期を分散させることができる。

【0033】

上述の実施形態においては、単一極性のサステインパルス PS を表示電極X、Yに交互に印加する例を挙げたが、振幅が $V_S/2$ の正負のパルスを表示電極X、Yに同時に印加して表示電極間に維持電圧 V_S を印加する駆動形態を採用してもよい。表示電極X、Yの配列については、マトリクス表示の行ごとに一対ずつ配列する形態に限らず、行数 n に1を加えた本数の表示電極を2行に3本の割合で等間隔に配列する形態であってもよい。配列形態に係わらず本発明を適用することができる。

【0034】

表示面を複数のブロックに区画してブロックごとにパルス印加を制御する回路構成を採用

10

20

30

40

50

する場合には、ブロックごとに点灯率を求めてその結果に応じてパルス波形を変更する、きま細かな駆動制御を行うことができる。表示面の区画を表示電極 X、Y の配列に合わせて 1 つまたは複数の行でブロックを構成するように行い、ブロックごとにドライバを配置すれば、ブロックごとのパルス波形制御を実現することができる。

【0035】

【発明の効果】

請求項 1 ないし請求項 4 の発明によれば、点灯すべきセルが少ないときの無駄な電力消費を低減するとともに、セルを劣化させる放電衝撃を低減してセルの長寿命化を図ることができる。

【図面の簡単な説明】

10

【図 1】本発明に係る表示装置の構成図である。

【図 2】X ドライバおよび Y ドライバの概略構成図である。

【図 3】PDP のセル構造の一例を示す図である。

【図 4】フレーム分割の概念図である。

【図 5】駆動電圧波形の概略図である。

【図 6】サステインパルス波形の切換えの第 1 例を示す図である。

【図 7】第 1 例のサステインパルス波形の切換えの効果を示す図である。

【図 8】サステイン回路の構成図である。

【図 9】サステインパルス波形の切換えの制御を示すタイムチャートである。

【図 10】サステインパルス波形の切換えの第 2 例を示す図である。

20

【図 11】第 2 例のサステインパルス波形の切換えの効果を示す図である。

【符号の説明】

1 PDP (プラズマディスプレイパネル)

DSf サブフレームデータ (表示データ)

PSL, PSM, PSH サステインパルス (電圧パルス)

70 ドライブユニット (駆動装置)

74 状態検出回路 (点灯率検出回路)

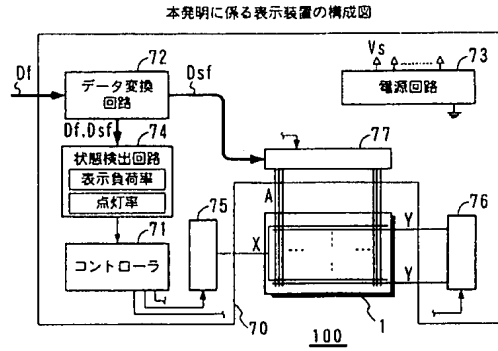
71 コントローラ

T11, T12, T13 電圧上昇期間 (電圧推移の時間)

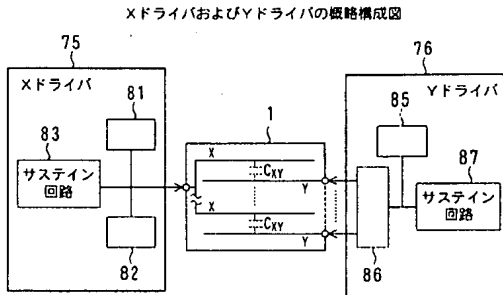
T21, T22, T23 期間 (電圧推移の時間)

30

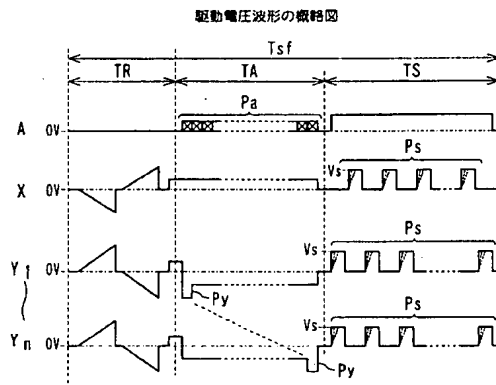
【図 1】



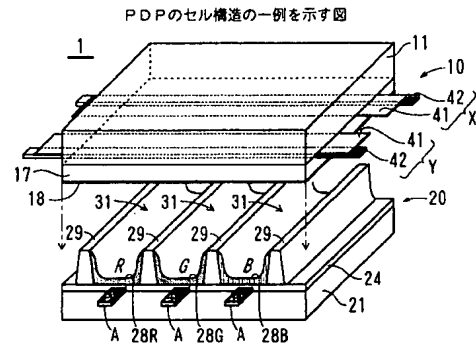
【図 2】



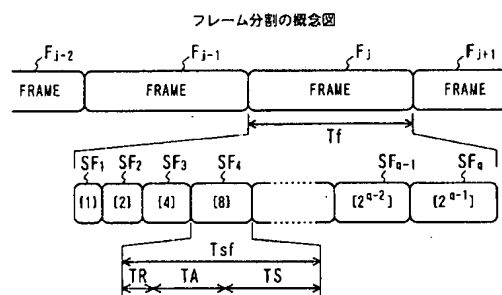
【図 5】



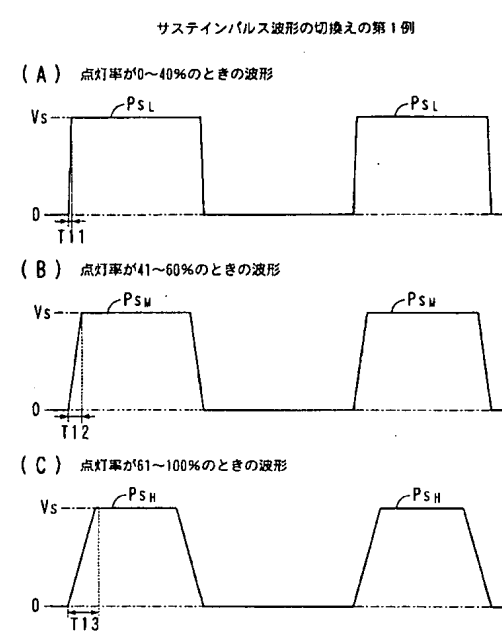
【図 3】



【図 4】

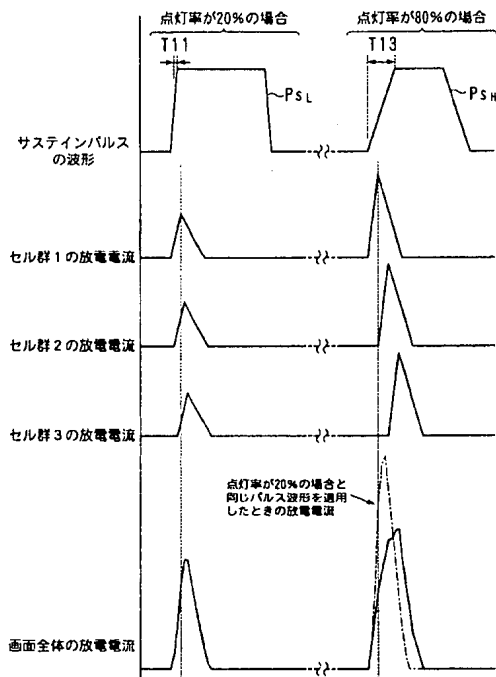


【図 6】



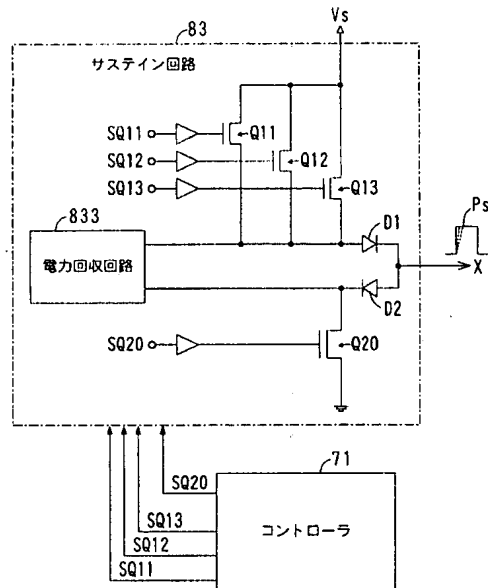
【図 7】

第1例のサステインパルス波形の切換えの効果



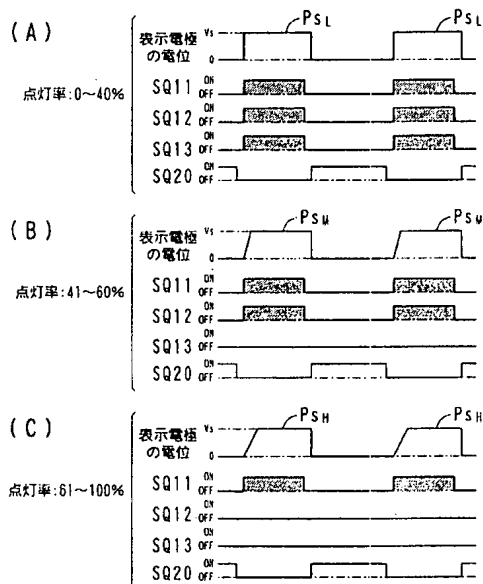
【図 8】

サステイン回路の構成図



【図 9】

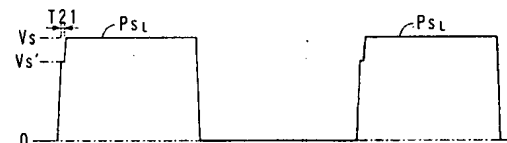
サステインパルス波形の切換えの制御を示すタイムチャート



【図 10】

サステインパルス波形の切換えの第2例

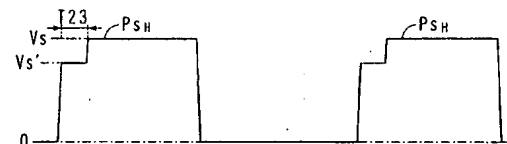
(A) 点灯率が0~40%のときの波形



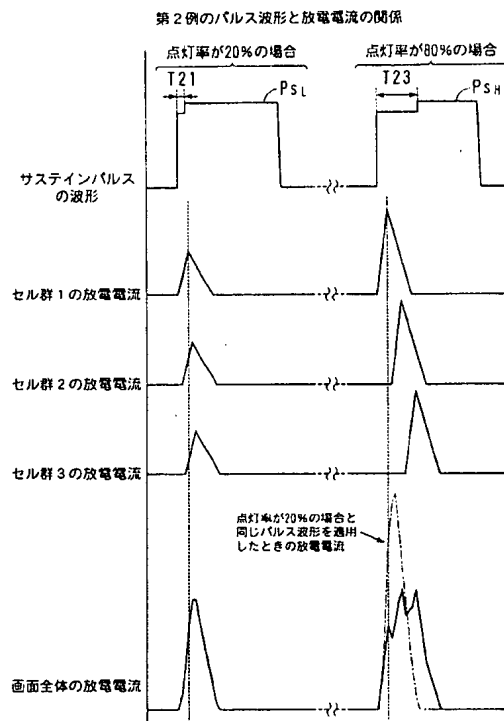
(B) 点灯率が41~60%のときの波形



(C) 点灯率が61~100%のときの波形



【図 11】



フロントページの続き(51)Int. Cl.⁷

F I

テーマコード (参考)

G 0 9 G 3/20 6 7 0 K

G 0 9 G 3/20 6 7 0 M

H 0 4 N 5/66 1 0 1 B

G 0 9 G 3/28 H

Fターム(参考) 5C080 AA05 BB05 CC03 DD05 DD07 DD18 DD26 DD29 EE29 FF03

FF12 HH02 HH04 HH05 JJ02 JJ03 JJ04 JJ06